

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-3118

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和61年(1986)1月9日
G 02 F 1/133 1 1 8 D-8205-2H
H 01 L 27/12 7514-SF
29/78 8422-SF
// G 09 F 9/35 6615-5C 審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 トランジスタ基板

⑯ 特 願 昭59-122937

⑰ 出 願 昭59(1984)6月16日

⑱ 発 明 者 大 久 保 幸 俊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑲ 発 明 者 長 田 芳 幸 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑲ 発 明 者 小 俣 智 司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑲ 発 明 者 菅 田 正 夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
㉑ 代 理 人 弁理士 猿渡 章雄 外1名

明 細 書

1. 発明の名称

トランジスタ基板

2. 特許請求の範囲

1. 基板表面上に光導電性半導体を用いた薄膜トランジスタを配列してなるトランジスタ基板において、該薄膜トランジスタ上に絶縁層を介して金属遮光層が設けられ、該金属遮光層が絶縁層に設けられたコンタクトホールを介して薄膜トランジスタの端子電極配線に電気的に接続されていることを特徴とするトランジスタ基板。

2. 前記端子電極配線がゲート配線である特許請求の範囲第1項に記載のトランジスタ基板。

3. ゲート配線が半導体の下に延長する特許請求の範囲第2項に記載のトランジスタ基板。

4. 前記光導電性半導体が、非晶質、多結晶または微結晶のシリコンである特許請求の範囲第1項に記載のトランジスタ基板。

5. 前記非晶質シリコンが水素原子またはハロゲン原子を有している特許請求の範囲第4項に記

載のトランジスタ基板。

3. 発明の詳細な説明

技術分野

本発明は薄膜トランジスタ(TFT)アレイを有する、表示装置に用いるに適したトランジスタ基板に関する。更に詳しくは、光導電性を示す半導体からなる薄膜トランジスタ(TFT)を用いたトランジスタ基板の遮光構成に関するものである。

背景技術

従来、金属遮光層の半導体を用いるトランジスタ基板においては、TFT上に設けた遮光金属をTFT基板(パネル)上で共通配線し、パネル端部に導いて、この端子を接地電位とする構成が用いられてきた。しかしこのような構成ではTFTパネル面に配線スペースを要し、有効表示面積を低減させる欠点があった。又、パネル外への接続端子が必要となり、更に断線や導電性の低下により高抵抗を持つと、外部電場のノイズの誘導により、TFTや表示電極へ影響を及ぼすこととな

リ、近接する配線との間では不必要な厚さ容量を発生させる原因となる等の欠点を有していた。

発明の目的

本発明は、上述従来技術の欠点を除去すると同時に、TFT上に設けた遮光金属をTFTの端子電極に接続させるものである。

発明の概要

本発明装置に用いるに適した本発明のトランジスタ基板は、上記目的を達成するために開発されたものであり、より詳しくは、基板表面上に光導電性半導体を用いた薄膜トランジスタを配列してなるトランジスタ基板において、該薄膜トランジスタ上に絶縁層を介して金属遮光層が設けられ、該金属遮光層が絶縁層に設けられたコンタクトホールを介して薄膜トランジスタの端子電極配線に電気的に接続されていることを特徴とするものである。

発明の態様の説明

本発明のトランジスタ基板を用いる表示装置の一例として、TFTアクティブマトリックス型液

晶表示装置の概略断面図を第1図に示す。

第1図を参照して、ガラス基板1上には、スイッチング回路としてのTFTが形成されるが、このTFTは、A1、Cr、Cu等の金属薄膜からなるゲート電極2、たとえばSiN:H層からなる層間絶縁層3および光導電性半導体層4を含む。TFTを構成する光導電性半導体層4としては、たとえばSi、CdS、CdSe、CdTe、が用いられ、特に非晶質、多結晶又は準晶質のSiが好適に用いられる。非晶質SiはH原子又はハロゲン原子（特にF原子）を含むことができる。H原子又はハロゲン原子はそれぞれ単独で含まれてもよいし双方が含まれてもよい。層間絶縁層3及び半導体層4はグロー放電法、CVD法等、一般に知られている多くの方法により作成される。低温で層形成を行うにはグロー放電法を利用することができる。

半導体層4に接続して、それぞれA1、Cr、Cu等の金属薄膜からなるソース電極5及びドレイン電極6が設けられ、このドレイン電極と接続

して、画素（表示部）をなすドレイン電極7が設けられる。画素電極7としては、たとえばインジウムスズ化合物（ITO）、酸化ズ、金薄膜等の透明電極を用いることができる。このようなTFT構造を覆って、第2の絶縁層8を設け、この絶縁層8上の半導体層4を覆う係留に、Cr、Al等からなる金属遮光層9を設ける。

更に上記した構造を覆ってポリイミド、ポリバラネシリレン、ポリビニルアルコール等の有機物薄膜からなる液晶配向のための配向層10が設けられ、同様な材料からなる対向基板11の配向層12との間に、ツイステッドネマチック（TN）液晶層13が挟持される。対向基板11は、基板1と同様なガラス基板であり、画素電極7に対向する対向電極14上に、上記した配向層を有する。これら基板1及び11上の電極その他の素子は通常の薄膜形成法及びフォトリソ・エッチング法により形成することができる。また基板1と11とは、適宜シール部材により固定して間隙を、例えば5〜10μmに保持し、この間隙に液晶が

封入される。これら基板1および11の外側には、更に一对の偏光板14及び15が、例えばクロスニコルあるいはパラレルニコルの関係に配置され、偏光16による画像表示に供される。

第2図は、このようなTFTをマトリックス配置した時の駆動回路図である。前記ゲート電極の配線が、必要な例えば走査線 $x_1, x_2, x_3, \dots, x_n$ に相当する本数設けられ、前記ソースの配線は、所望の水平方向解像度を与えるに必要な例えば信号線 $y_1, y_2, y_3, \dots, y_m$ に相当する本数設けられる。各交点に前記TFT21が各々設けられ、各々のドレインに対し画素となる電極と対向電極間で液晶22が構成される。端子23は対向電極によって共通接続されている。

この表示パネルの駆動は、例えばゲート線に画素信号を、ソース線には駆動用電圧を走査して印加すると（ゲート線に信号が入力されている間に限って）、これらの電極の交点のうちの選択された箇所をソース・ドレイン（ドット電極）間が導

達して、ドレイン電極と対向電極との間で電場が生じ、液晶層の液晶分子の配列状態が変化することにより表示が行われる。

このTFTの画素部の構成を、従来例との対比で、更に詳しく説明する。第3図(a)および第4図(a)は、それぞれ従来例および本発明の実施例によるTFT基板の単位画素部構成を示す平面図であり、第1図の配向層10を除く。基板1から遮光層9までの構成は、第3図(a)および第4図(a)のそれぞれA-A線に沿う断面構成に相当する。

従来例を示す第3図(a)、ならびにそのB-B線に沿う断面図である第3図(b)および第1図を参照して、一画素の構成を、若干、補足説明する。本発明では半導体4として光導電性材料を用いるので、ゲート配線及びゲート電極2は、少なくとも半導体4の下では光遮蔽性の金属膜が好適に用いられる。このゲート部上に第1の絶縁層3が設けられる。更にこの上に半導体層4があり、この両端にソース線5とドレイン6が設けら

れる。ドレイン6の他端は第1の絶縁層に設けたコンタクトホール17を介して表示画素となる電極7に電気的に接続されている。ソース線5とゲート線2の交叉部は第1の絶縁層3によって絶縁されている。このような構成によってTFT層は完成するが、本発明のように光導電性半導体材料を使用するTFTでは、この上に更に第2の絶縁層8を設け、この上に遮光層9が設けられている。平面図(第3図(a))で見る限り、遮光層9は各画素毎に設けた半導体4上の遮光を行うと同時に列毎に共通接続し、基板端面で一つにまとめられ接合されて用いられる。この構成で使用される各層の膜厚は300Å〜2μmまで任意に設計し、選択される。

ところでこのような遮光部材9は他の回路素子と交叉したり接近して、不要な浮遊容量を増したり、ショートを生じたりしないよう構成する必要がある。その為有限な配線巾と一定のピッチを限定すれば、画素面積を少なくともこの遮光部材だけ減じる必要があった。

このような構成に対し、第4図は本発明による改良された構成を示し、同一番号については第3図と同一部材で構成されている。すなわち本発明に於いて遮光金属9aは、第1の絶縁層と第2の絶縁層に設けたコンタクトホール30を介してゲート線2上に接続されている。この部分をB-B断面を示す第4図(b)によって示す。このような構成をとることにより、画素電極7aは前述の例と同一ピッチ、ゲート配線2とソース配線5は同一線巾を用いているが、その有効表示面積は大きくすることができる。

前記実施例では半導体上の遮光金属9aをゲート線へ接続したが、本発明の他の実施例ではソース線5へ接続するものも用いられる。この時絶縁層8は充分な厚みを持ち、ゲートとしての効果を示さないよう注意する必要がある。又、同様に遮光金属9aをドレイン6又は画素電極7aへ接続するものも用いられる。これもTFTのスイッチング動作に関与しないよう絶縁層の厚みが充分であることが望まれる。

これ等ソース線、ドレイン線への接続は画素や配線の配置に設計の任意性を与える効果を持つ。

発明の効果

以上説明したように、本発明においては金属遮光層半導体層を覆う遮光金属層をゲート線その他のTFT層素子電極へ接続する構成によって、遮光金属の配線を最小にすることができるため、配線による遮断やショートによる不良を発生させない効果、不必要な浮遊容量を発生させない効果、有効表示部を減少させない効果を示すと同時に、本来の遮光特性を充分保持する。また、遮光金属層をゲートと接続する場合には、更にゲートの作動と同期して、ゲート信号のゲートの動作に対し補助的効果を示すことも可能となり、又外部のノイズに対してはシールド効果も確保できる効果を持っている。

このようにして得られる本発明の表示パネルは、薄型化・コンパクト化された表示パネルとして各種パネル・ディスプレイ；例えば、時計・計

算機等の表示板、小型テレビ、ビデオカメラ用モニタ及びファインダ等に好適に応用出来る。

本発明のトランジスタ基板の応用例として、上記においては液晶表示装置への適用例を示したが、他の機能素子と組合わせることも可能である。例えば、電気化学的発光素子として知られるエレクトロクロミーや、ELの発光素子に用いるTFTアレイとしても活用できる。

4. 図面の簡単な説明

第1図はTFTアクティブマトリックス面液晶表示装置の概略断面図、第2図はTFTをマトリックス配座した時の駆動回路図、第3図(a)および第4図(a)は、それぞれ従来例および本発明の実施例によるTFT基板の単位画素部構成を示す平面図、第3図(b)および第4図(b)はそれぞれ第3図(a)および第4図(a)のB-B線に附する断面図である。

1・・・基板

2・・・ゲートおよびゲート線

3・・・第1絶縁層

4・・・金属遮光層半導体層

5・・・ソースおよびドレイン線

6・・・ドレイン

7・・・表示部電極

8・・・第2絶縁層

9・・・遮光層

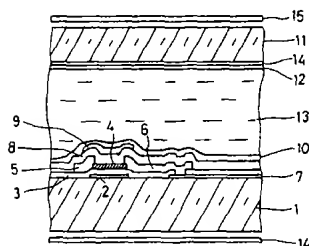
9a・・・ゲートと接続された遮光層

17、30・・・コンタクトホール

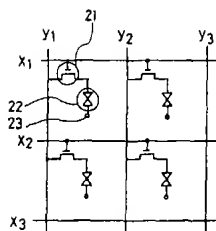
出願人代理人 渡辺 康雄



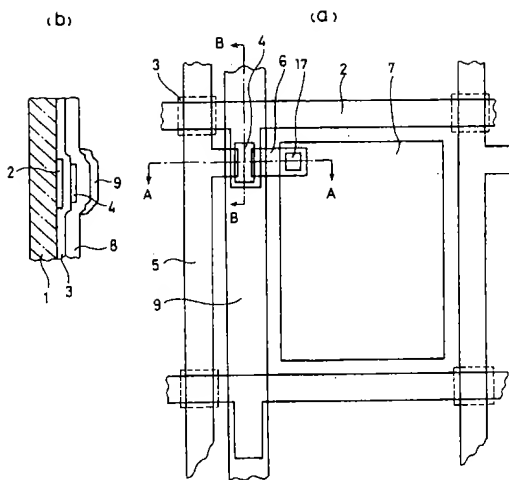
第1図



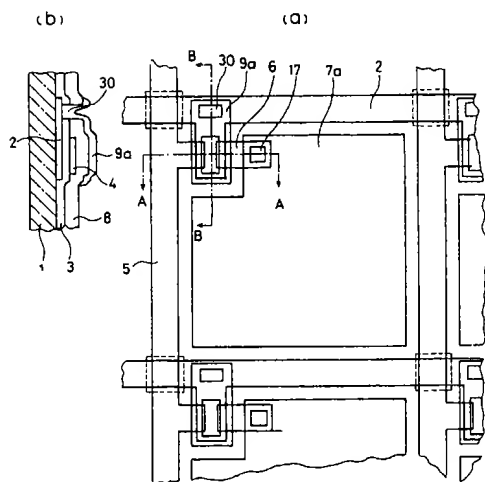
第2図



第 3 図



第 4 図



PAT-NO: JP361003118A
DOCUMENT-IDENTIFIER: JP 61003118 A
TITLE: TRANSISTOR SUBSTRATE
PUBN-DATE: January 9, 1986

INVENTOR-INFORMATION:

NAME
OKUBO, YUKITOSHI
OSADA, YOSHIYUKI
KOMATA, TOMOJI
SUGATA, MASAO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC	N/A

APPL-NO: JP59122937
APPL-DATE: June 16, 1984

INT-CL (IPC): G02F001/133, H01L027/12 , H01L029/78 ,
G09F009/35

US-CL-CURRENT: 257/59, 257/435 , 257/659

ABSTRACT:

PURPOSE: To minimize wiring of a light shielding metal by providing a metallic light shielding layer on a thin film transistor through an insulating layer, and connecting electrically the metallic light shielding layer to the terminal electrode wiring of the thin film transistor through a contact hole provided on the insulating layer.

CONSTITUTION: On a glass substrate 1, a TFT being a

switching circuit is formed, but this TFT contains a gate electrode 2 consisting of a metallic thin film, layer insulating layer 3 and a photoconductive semiconductor layer 4. A source electrode 5 and a drain electrode 6 are provided by being connected to the semiconductor layer 4. The second insulating layer is provided to cover such a TFT structure, and a metallic light shielding layer 9a is provided on a part for covering the semiconductor layer 4 on this insulating layer 8. The light shielding metal 9a is connected onto the gate line 2 through a contact hole 30 provided on the first insulating layer and the second insulating layer.

COPYRIGHT: (C)1986,JPO&Japio